

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-204274

(43)Date of publication of application : 18.07.2003

(51)Int.Cl.

H04B 1/10

H04N 5/44

H04N 5/52

(21)Application number : 2002-000135

(71)Applicant : SHARP CORP

(22)Date of filing : 04.01.2002

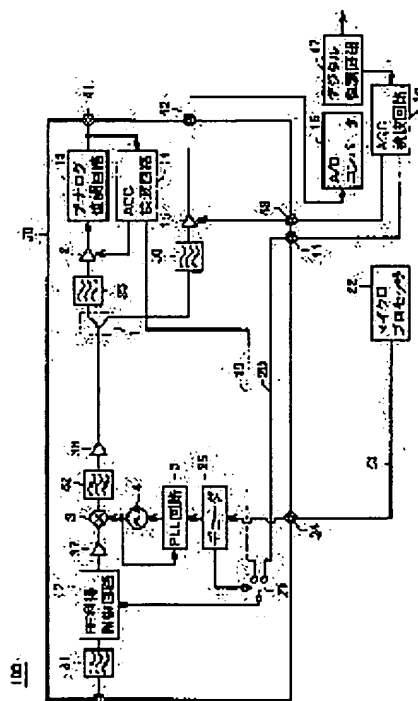
(72)Inventor : MASUDA SHIGETO

## (54) DIGITAL/ANALOG SHARED TUNER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a digital/analog shared tuner capable of suppressing influence on an analog signal processing system by noise generated from a digital signal processing system and improving reception characteristics.

**SOLUTION:** A circuit and a bus for processing analog signals are housed in an electromagnetically shielded case body 50, and a circuit and a bus for processing digital signals are arranged on the outside of the case body 50. Also, in order to minimize the generation of the noise from the bus for transmitting digital data, a microprocessor 22 synthesizes a plurality of signals and data as the digital data and outputs them from one I/O port to the bus 23. A decoder 25 for inputting and separately outputting the synthesized data is provided inside the case body 50, and the data are transmitted between the microprocessor 22 and the decoder 25 through one bus 23.



## LEGAL STATUS

[Date of request for examination]

28.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-204274

(P2003-204274A)

(43)公開日 平成15年7月18日(2003.7.18)

(51) Int.Cl.	識別記号	F I	テラット*(参考)
H 0 4 B 1/10		H 0 4 B 1/10	P 5 C 0 2 5
H 0 4 N 5/44		H 0 4 N 5/44	H 5 C 0 2 6
5/52		5/52	K 5 K 0 5 2

審査請求 未請求 請求項の数11 O.L (全 17 頁)

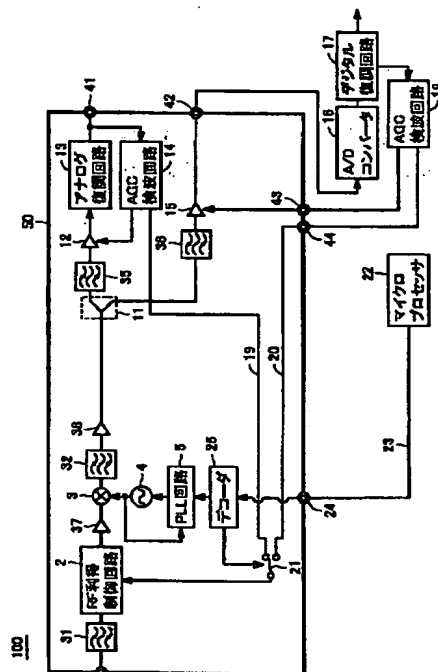
(21)出願番号	特願2002-135(P2002-135)	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成14年1月4日(2002.1.4)	(72)発明者	升田 成人 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	100064746 弁理士 深見 久郎 Fターム(参考) 5C025 AA11 AA23 AA25 AA26 AA27 DA01 5C026 BA18 5K052 AA14 BB03 CC01 CC06 DD15 DD23 FF36

(54) 【発明の名称】 デジタル・アナログ共用チューナ

(57)【要約】

【課題】 デジタル信号処理系から発生するノイズによるアナログ信号処理系への影響を抑え、受信特性を向上できるデジタル・アナログ共用チューナを提供する。

【解決手段】 アナログ信号を処理する回路およびバスは、電磁シールドされた筐体50に収納され、デジタル信号を処理する回路およびバスは、筐体50の外部に配置される。また、デジタルデータを伝送するバスからのノイズの発生を最小限にするため、マイクロプロセッサ22は、複数の信号およびデータをデジタルデータとして合成して1つのI/Oポートからバス23へ出力し、また、その合成されたデータを入力して分離出力するデコーダ25が筐体50内に備えられ、マイクロプロセッサ22とデコーダ25との間には、1つのバス23を介してデータが伝送される。



## 【特許請求の範囲】

【請求項1】 デジタル変調された第1のテレビジョン信号およびアナログ変調された第2のテレビジョン信号の双方を受信可能なデジタル・アナログ共用チューナであって、

入力信号を中間周波信号に周波数変換する周波数変換部と、

前記周波数変換部により前記第1のテレビジョン信号が周波数変換された第1の中間周波信号をデジタル信号に変換して復調するデジタル復調処理部と、

前記周波数変換部により前記第2のテレビジョン信号が周波数変換された第2の中間周波信号を復調するアナログ復調処理部とを備え、

前記周波数変換部および前記アナログ復調処理部は、電磁シールドの作用をなす筐体に収納される、デジタル・アナログ共用チューナ。

【請求項2】 デジタル変調された第1のテレビジョン信号およびアナログ変調された第2のテレビジョン信号の双方を受信可能なデジタル・アナログ共用チューナであって、

入力信号を中間周波信号に周波数変換する周波数変換部と、

前記入力信号が前記第1のテレビジョン信号であるときに用いられる第1の利得制御信号および前記入力信号が前記第2のテレビジョン信号であるときに用いられる第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、

前記第1の利得制御信号と前記第2の利得制御信号とを入力し、前記第1の利得制御信号および前記第2の利得制御信号のいずれかを選択して前記入力信号利得制御部へ出力する利得制御信号切替部と、

前記第1の利得制御信号と前記第2の利得制御信号とを切替えるための利得切替信号と、前記周波数変換部において前記入力信号を前記中間周波信号に周波数変換するための周波数設定データとをデジタルデータとして合成して出力する制御部と、

前記制御部により合成されて出力された合成データを伝送するバスと、

前記合成データを入力して前記利得切替信号と前記周波数設定データとに分離し、前記利得切替信号を前記利得制御信号切替部へ出力し、前記周波数設定データを前記周波数変換部へ出力するデコーダとを備える、デジタル・アナログ共用チューナ。

【請求項3】 前記アナログ復調処理部から出力される第1の利得制御信号および前記デジタル復調処理部から出力される第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、

前記第1の利得制御信号と前記第2の利得制御信号とを入力し、前記第1の利得制御信号および前記第2の利得制御信号のいずれかを選択して前記入力信号利得制御部

へ出力する利得制御信号切替部と、

前記第1の利得制御信号と前記第2の利得制御信号とを切替えるための利得切替信号と、前記周波数変換部において前記入力信号を前記中間周波信号に周波数変換するための周波数設定データとをデジタルデータとして合成して出力する制御部と、

前記制御部により合成されて出力された合成データを伝送するバスと、

前記合成データを入力して前記利得切替信号と前記周波数設定データとに分離し、前記利得切替信号を前記利得制御信号切替部へ出力し、前記周波数設定データを前記周波数変換部へ出力するデコーダとをさらに備え、

前記入力信号利得制御部、前記利得制御信号切替部および前記デコーダは、前記筐体にさらに収納される、請求項1に記載のデジタル・アナログ共用チューナ。

【請求項4】 前記周波数変換部により変換された前記中間周波信号を前記デジタル復調処理部および前記アナログ復調処理部のいずれかへ選択して出力する信号切替部をさらに備え、

前記信号切替部は、前記筐体にさらに収納される、請求項1に記載のデジタル・アナログ共用チューナ。

【請求項5】 前記アナログ復調処理部から出力される第1の利得制御信号および前記デジタル復調処理部から出力される第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、

前記第1の利得制御信号と前記第2の利得制御信号とを入力し、前記第1の利得制御信号および前記第2の利得制御信号のいずれかを選択して前記入力信号利得制御部へ出力する利得制御信号切替部と、

前記第1の利得制御信号と前記第2の利得制御信号とを切替えるための利得切替信号と、前記周波数変換部において前記入力信号を前記中間周波信号に周波数変換するための周波数設定データと、前記信号切替部において前記伝送先を切替えるためのI/F切替信号とをデジタルデータとして合成して出力する制御部と、

前記制御部により合成されて出力された合成データを伝送するバスと、

前記合成データを入力して前記利得切替信号と前記周波数設定データと前記I/F切替信号とに分離し、前記利得切替信号を前記利得制御信号切替部へ出力し、前記周波数設定データを前記周波数変換部へ出力し、前記I/F切替信号を前記信号切替部へ出力するデコーダとをさらに備え、

前記入力信号利得制御部、前記利得制御信号切替部および前記デコーダは、前記筐体にさらに収納される、請求項4に記載のデジタル・アナログ共用チューナ。

【請求項6】 前記周波数変換部は、

局部発振信号を発生する局部発振部と、

前記周波数設定データに基づいて前記局部発振部を制御するPLL部と、

前記入力信号を前記局部発振信号とミキシングして前記中間周波信号に周波数変換する混合部とを含む、請求項2、請求項3 および請求項5 のいずれか1 項に記載のデジタル・アナログ共用チューナ。

【請求項7】 前記デコーダおよび前記利得制御信号切替部は、前記周波数変換部の近傍に配置される、請求項1 から6 のいずれか1 項に記載のデジタル・アナログ共用チューナ。

【請求項8】 前記周波数変換部は、前記入力信号を所定の周波数信号に変換する第1 の周波数変換部と、

前記所定の周波数信号を前記中間周波信号に変換する第2 の周波数変換部とを含む、請求項1 から6 のいずれか1 項に記載のデジタル・アナログ共用チューナ。

【請求項9】 前記周波数変換部は、前記入力信号を所定の周波数信号に変換する第1 の周波数変換部と、

前記所定の周波数信号を前記中間周波信号に変換する第2 の周波数変換部とを含む、

前記制御部から出力される前記周波数設定データは、前記入力信号を前記所定の周波数信号に周波数変換するための第1 の周波数設定データと、前記所定の周波数信号を前記中間周波信号に周波数変換するための第2 の周波数設定データとからなり、

前記デコーダは、前記合成データを前記第1 および第2 の周波数設定データにさらに分離し、前記第1 の周波数設定データを前記第1 の周波数変換部へ出力し、前記第2 の周波数設定データを前記第2 の周波数変換部へ出力する、請求項2、請求項3 および請求項5 のいずれか1 項に記載のデジタル・アナログ共用チューナ。

【請求項10】 前記デコーダおよび前記利得制御信号切替部は、前記第1 の周波数変換部および前記第2 の周波数変換部のいずれかの近傍に配置される、請求項9 に記載のデジタル・アナログ共用チューナ。

【請求項11】 前記周波数変換部は、前記入力信号を所定の周波数信号に変換する第1 の周波数変換部と、

前記所定の周波数信号を前記中間周波信号に変換する第2 の周波数変換部とを含む、

前記制御部から出力される前記周波数設定データは、前記入力信号を前記所定の周波数信号に周波数変換するための第1 の周波数設定データと、前記所定の周波数信号を前記中間周波信号に周波数変換するための第2 の周波数設定データとからなり、

前記デコーダは、前記第1 の周波数変換部に含まれる第1 のPLL部の近傍に配置される第1 のデコーダと、前記第2 の周波数変換部に含まれる第2 のPLL部の近傍に配置される第2 のデコーダとを含む、

前記第1 のデコーダは、前記バスから前記合成データを入力して前記第1 の周波数設定データと前記利得切替信

号とを分離し、前記第1 の周波数設定データを前記第1 のPLL部へ出力し、前記利得切替信号を前記利得制御信号切替部へ出力し、

前記第2 のデコーダは、前記バスから前記合成データを入力して前記第2 の周波数設定データと前記IF切替信号とを分離し、前記第2 の周波数設定データを前記第2 のPLL部へ出力し、前記IF切替信号を前記信号切替部へ出力する、請求項5 に記載のデジタル・アナログ共用チューナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル変調されたテレビジョン信号とアナログ変調されたテレビジョン信号とを選択的に受信可能なデジタル・アナログ共用チューナに関する。

【0002】

【従来の技術】近年、放送のデジタル化はますます進行し、アナログ放送とデジタル放送とが混在する中、アナログ／デジタル双方の放送を受信することができる共用チューナの必要性が高まってきている。

【0003】現在放送されているデジタル放送は、従来のアナログ放送（たとえば、NTSC方式による放送など）と同じチャンネル帯域幅を持つため、信号の受信から中間周波信号（以下、IF（Intermediate Frequency）信号と称する。）への周波数の変換までを1つのチューナで構成することが可能となっている。

【0004】図8は、従来のデジタル・アナログ共用チューナのフロントエンド部（一般に、信号受信から復調までを表わす。）を機能的に説明するための機能ブロック図である。ここに示したデジタル・アナログ共用チューナ200は、ダブルコンバージョン方式を採用している。

【0005】ダブルコンバージョン方式とは、入力信号であるRF（Radio Frequency）信号を一旦高周波（たとえば1200MHz程度）の信号にアップコンバートし、その信号を所望のIF信号にダウンコンバートする方式であり、良好かつ安定した受信特性が得られる。

【0006】図8を参照して、デジタル・アナログ共用チューナ200は、RF信号入力端子201と、RF利得制御回路202と、第1の周波数変換部である混合回路203、局部発振回路204およびPLL回路205と、第2の周波数変換部である混合回路206、局部発振回路207およびPLL回路208と、IF信号出力端子209とを備える。これらの各回路は、電磁シールドされた1つの筐体250に収納される。

【0007】また、デジタル・アナログ共用チューナ200は、IF信号分配回路211と、アナログ復調部であるIF-AGC回路212、アナログ復調回路213およびAGC検波回路214と、デジタル復調部であるIF-AGC回路215、A/Dコンバータ216、デ

ジタル復調回路217およびAGC検波回路218と、RF利得制御信号バス219、220とをさらに備える。

【0008】さらに、デジタル・アナログ共用チューナ200は、RF利得制御信号切替回路221と、マイクロプロセッサ222と、PLL設定バス223と、RF利得切替信号バス224とをさらに備える。

【0009】また、さらに、デジタル・アナログ共用チューナ200は、PLL設定バス223およびRF利得切替信号バス224のデータおよび信号を筐体250内部に入力するための端子225、226と、上述した各回路間の適切な箇所に帯域フィルタリングをかけるバンドパスフィルタ231～236と、信号レベルを増幅する増幅回路237～239とをさらに備える。

【0010】バンドパスフィルタ231～234および増幅回路237～239も、筐体250に収納される。

【0011】以下、デジタル・アナログ共用チューナ200の動作について概略的に説明する。RF信号入力端子201に入力され、バンドパスフィルタ231により帯域フィルタリングされたRF信号は、RF利得制御回路202により所定の信号レベルに制御される。そして、RF信号は、増幅回路237により所定量増幅された後、第1の周波数変換部における混合回路203により、PLL回路205により制御されて局部発振回路204から出力された局部発振信号とミキシングされ、所望のIF信号の周波数よりも高い第1のIF信号に周波数変換される。第1のIF信号は、バンドパスフィルタ232により帯域フィルタリングされた後、増幅回路238により増幅され、バンドパスフィルタ233により再度帯域フィルタリングされた後、第2の周波数変換部における混合回路206により、PLL回路208により制御されて局部発振回路207から出力された局部発振信号とミキシングされ、所望のIF信号に周波数変換される。そして、IF信号は、バンドパスフィルタ234により帯域フィルタリングされ、増幅回路239により所定量増幅されてIF信号出力端子209に出力される。

【0012】なお、第1のIF信号および所望のIF信号に周波数変換するための周波数設定データは、マイクロプロセッサ222からPLL設定バス223に出力され、端子225から筐体250内部に取込まれてPLL回路205、208に設定される。

【0013】IF信号出力端子209から出力されるIF信号は、IF信号分配回路211により、アナログ復調処理を行なう系統とデジタル復調処理を行なう系統とに分配される。

【0014】アナログ放送が受信されているときは、IF信号は、バンドパスフィルタ235により帯域フィルタリングされ、IF-AGC回路212により所定の信号レベルに制御された後、アナログ復調回路213によ

り復調される。ここで、AGC検波回路214は、適切にアナログ復調が行なわれるようにIF-AGC回路212の利得を制御する制御信号をIF-AGC回路212へ出力するとともに、RF信号の段階においても、RF利得制御回路202における利得を制御するためのRF利得制御信号をRF利得制御信号バス219へ出力する。

【0015】RF利得制御信号バス219に出力されたRF利得制御信号は、RF利得制御信号切替回路221を介してRF利得制御回路202へ出力される。ここで、RF利得制御信号切替回路221は、RF利得切替信号バス224を介してマイクロプロセッサ222から受けるRF利得切替信号に基づいて、RF利得制御信号バス219、220の利得制御信号のいずれかを選択してRF利得制御回路202へ出力する。そして、この時点でアナログ放送が受信されていることは、受信チャンネルに基づいてマイクロプロセッサにより判断されており、マイクロプロセッサ222からRF利得制御信号バス219の選択を指示するRF利得切替信号がRF利得切替信号バス224に出力されているので、RF利得制御信号切替回路221は、RF利得制御信号バス219を選択してアナログ復調系のAGC検波回路214から出力されたRF利得制御信号をRF利得制御回路202へ出力する。

【0016】一方、デジタル放送が受信されているときは、IF信号は、バンドパスフィルタ236により帯域フィルタリングされ、IF-AGC回路215により所定の信号レベルに制御された後、A/Dコンバータ216によりデジタル信号に変換され、デジタル復調回路217により復調される。ここで、AGC検波回路218は、適切にデジタル復調が行なわれるようにIF-AGC回路215の利得を制御する制御信号をIF-AGC回路215へ出力するとともに、RF信号の段階においても、RF利得制御回路202の利得を制御するためのRF利得制御信号をRF利得制御信号バス220へ出力する。

【0017】RF利得制御信号バス220に出力されたRF利得制御信号は、RF利得制御信号切替回路221を介してRF利得制御回路202へ出力される。ここで、この時点でデジタル放送が受信されていることは、受信チャンネルに基づいてマイクロプロセッサにより判断されており、マイクロプロセッサ222からRF利得制御信号バス220の選択を指示するRF利得切替信号がRF利得切替信号バス224に出力されているので、RF利得制御信号切替回路221は、RF利得制御信号バス220を選択してデジタル復調系のAGC検波回路218から出力されたRF利得制御信号をRF利得制御回路202へ出力する。

【0018】

【発明が解決しようとする課題】デジタル・アナログ共

用チューナ200において、IF信号分配回路211並びにアナログ復調処理を行なう系統のバンドパスフィルタ235、IF-AGC回路212、アナログ復調回路213およびAGC検波回路214は、アナログ信号を処理する回路である。また、デジタル復調処理を行なう系統のバンドパスフィルタ236およびIF-AGC回路215も、扱う信号はアナログ信号である。さらに、RF利得制御信号バス219、220もアナログ信号を扱う。

【0019】一方、A/Dコンバータ216、デジタル復調回路217、AGC検波回路218およびマイクロプロセッサ222は、デジタル信号を処理する回路である。

【0020】これら各回路は、同一基板上に配置されるため、デジタル・アナログ共用チューナ200においては、ノイズの影響を受けやすいアナログ信号処理回路が、デジタル信号処理回路から発せられるノイズの影響を受け、S/N比の劣化などの問題が多々生じている。

【0021】また、デジタル・アナログ共用チューナ200のような共用チューナにおいては、信号を周波数変換するためのPLL周波数設定データと、デジタル/アナログ放送のいずれの放送を受信しているかに応じて回路特性を切替えるための切替信号とを、マイクロプロセッサ222から所定の回路に設定する必要がある。従来のデジタル・アナログ共用チューナ200においては、マイクロプロセッサ222は、2つのI/Oポートから上述したPLL周波数設定データおよび切替信号を個別に出力しているが、I/Oポートを2つ要することは、マイクロプロセッサの選定に制約を与えるものである。切替信号がさらに必要とされ、さらに多くのI/Oポートが必要とされれば、マイクロプロセッサの選定にさらに強い制約が加えられ、これはマイクロプロセッサのコストアップの要因となる。

【0022】さらに、I/Oポートの数に応じたバスが必要であるが、バス数の増加は、基板上のレイアウトに制約を与えることになるとともに、デジタル信号が伝送されるバスから発せられるノイズがチューナの性能に悪影響を及ぼすという問題もあり、バス数も最少数であることが望ましい。

【0023】そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、デジタル信号処理系から発生するノイズによるアナログ信号処理系への影響を抑え、受信特性を向上できるデジタル・アナログ共用チューナを提供することである。

【0024】また、この発明の別の目的は、マイクロプロセッサに課せられる制約を排除し、その制約により発生していたコストアップまたは設計上の制約を無くすることができるデジタル・アナログ共用チューナを提供することである。

【0025】

【課題を解決するための手段】この発明によれば、デジタル・アナログ共用チューナは、デジタル変調された第1のテレビジョン信号およびアナログ変調された第2のテレビジョン信号の双方を受信可能なデジタル・アナログ共用チューナであって、入力信号を中間周波信号に周波数変換する周波数変換部と、周波数変換部により第1のテレビジョン信号が周波数変換された第1の中間周波信号をデジタル信号に変換して復調するデジタル復調処理部と、周波数変換部により第2のテレビジョン信号が周波数変換された第2の中間周波信号を復調するアナログ復調処理部とを備え、周波数変換部およびアナログ復調処理部は、電磁シールドの作用をなす筐体に収納される。

【0026】また、この発明によれば、デジタル・アナログ共用チューナは、デジタル変調された第1のテレビジョン信号およびアナログ変調された第2のテレビジョン信号の双方を受信可能なデジタル・アナログ共用チューナであって、入力信号を中間周波信号に周波数変換する周波数変換部と、入力信号が第1のテレビジョン信号であるときに用いられる第1の利得制御信号および入力信号が第2のテレビジョン信号であるときに用いられる第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、第1の利得制御信号と第2の利得制御信号とを入力し、第1の利得制御信号および第2の利得制御信号のいずれかを選択して入力信号利得制御部へ出力する利得制御信号切替部と、第1の利得制御信号と第2の利得制御信号とを切替えるための利得切替信号と、周波数変換部において入力信号を中間周波信号に周波数変換するための周波数設定データとをデジタルデータとして合成して出力する制御部と、制御部により合成されて出力された合成データを伝送するバスと、合成データを入力して利得切替信号と周波数設定データとに分離し、利得切替信号を利得制御信号切替部へ出力し、周波数設定データを周波数変換部へ出力するデコーダとを備える。

【0027】好ましくは、デジタル・アナログ共用チューナは、アナログ復調処理部から出力される第1の利得制御信号およびデジタル復調処理部から出力される第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、第1の利得制御信号と第2の利得制御信号とを入力し、第1の利得制御信号および第2の利得制御信号のいずれかを選択して入力信号利得制御部へ出力する利得制御信号切替部と、第1の利得制御信号と第2の利得制御信号とを切替えるための利得切替信号と、周波数変換部において入力信号を中間周波信号に周波数変換するための周波数設定データとをデジタルデータとして合成して出力する制御部と、制御部により合成されて出力された合成データを伝送するバスと、合成データを入力して利得切替信号と周波数設定データとに分離し、利得切替信号を利得制御信号切替部へ出力し、周

波数設定データを周波数変換部へ出力するデコーダとをさらに備え、入力信号利得制御部、利得制御信号切替部およびデコーダは、筐体にさらに収納される。

【0028】好ましくは、デジタル・アナログ共用チューナは、周波数変換部により変換された中間周波信号をデジタル復調処理部およびアナログ復調処理部のいずれかへ選択して出力する信号切替部をさらに備え、信号切替部は、筐体にさらに収納される。

【0029】好ましくは、デジタル・アナログ共用チューナは、アナログ復調処理部から出力される第1の利得制御信号およびデジタル復調処理部から出力される第2の利得制御信号のいずれかに基づいて利得を制御する入力信号利得制御部と、第1の利得制御信号と第2の利得制御信号とを入力し、第1の利得制御信号および第2の利得制御信号のいずれかを選択して入力信号利得制御部へ出力する利得制御信号切替部と、第1の利得制御信号と第2の利得制御信号とを切替えるための利得切替信号と、周波数変換部において入力信号を中間周波信号に周波数変換するための周波数設定データと、信号切替部において伝送先を切替えるためのI F切替信号とをデジタルデータとして合成して出力する制御部と、制御部により合成されて出力された合成データを伝送するバスと、合成データを入力して利得切替信号と周波数設定データとI F切替信号とに分離し、利得切替信号を利得制御信号切替部へ出力し、周波数設定データを周波数変換部へ出力し、I F切替信号を信号切替部へ出力するデコーダとをさらに備え、入力信号利得制御部、利得制御信号切替部およびデコーダは、筐体にさらに収納される。

【0030】好ましくは、周波数変換部は、局部発振信号を発生する局部発振部と、周波数設定データに基づいて局部発振部を制御するPLL部と、入力信号を局部発振信号とミキシングして中間周波信号に周波数変換する混合部とを含む。

【0031】好ましくは、デコーダおよび利得制御信号切替部は、周波数変換部の近傍に配置される。

【0032】好ましくは、周波数変換部は、入力信号を所定の周波数信号に変換する第1の周波数変換部と、所定の周波数信号を中間周波信号に変換する第2の周波数変換部とを含む。

【0033】好ましくは、周波数変換部は、入力信号を所定の周波数信号に変換する第1の周波数変換部と、所定の周波数信号を中間周波信号に変換する第2の周波数変換部とを含み、制御部から出力される周波数設定データは、入力信号を所定の周波数信号に周波数変換するための第1の周波数設定データと、所定の周波数信号を中間周波信号に周波数変換するための第2の周波数設定データとからなり、デコーダは、合成データを第1および第2の周波数設定データにさらに分離し、第1の周波数設定データを第1の周波数変換部へ出力し、第2の周波数設定データを第2の周波数変換部へ出力する。

【0034】好ましくは、デコーダおよび利得制御信号切替部は、第1の周波数変換部および第2の周波数変換部のいずれかの近傍に配置される。

【0035】好ましくは、周波数変換部は、入力信号を所定の周波数信号に変換する第1の周波数変換部と、所定の周波数信号を中間周波信号に変換する第2の周波数変換部とを含み、制御部から出力される周波数設定データは、入力信号を所定の周波数信号に周波数変換するための第1の周波数設定データと、所定の周波数信号を中間周波信号に周波数変換するための第2の周波数設定データとからなり、デコーダは、第1の周波数変換部に含まれる第1のPLL部の近傍に配置される第1のデコーダと、第2の周波数変換部に含まれる第2のPLL部の近傍に配置される第2のデコーダとを含み、第1のデコーダは、バスから合成データを入力して第1の周波数設定データと利得切替信号とを分離し、第1の周波数設定データを第1のPLL部へ出力し、利得切替信号を利得制御信号切替部へ出力し、第2のデコーダは、バスから合成データを入力して第2の周波数設定データとI F切替信号とを分離し、第2の周波数設定データを第2のPLL部へ出力し、I F切替信号を信号切替部へ出力する。

【0036】以上のように、この発明によるデジタル・アナログ共用チューナによれば、ノイズに影響を受けやすいアナログ信号処理系の回路およびアナログ信号を伝送するバスを、デジタル信号処理系の回路およびデジタル信号を伝送するバスから電磁的に遮蔽したので、デジタル信号処理系の回路およびデジタル信号を伝送するバスから発せられるノイズによるアナログ信号処理系のS/N比の劣化を防止することができ、安定した受信特性を得ることができる。

【0037】また、この発明によるデジタル・アナログ共用チューナによれば、マイクロプロセッサから送信される信号およびデータを1つのデータに合成し、1つのバスを介して伝送するようにしたので、マイクロプロセッサのI/Oポートは1つあれば足り、複数のI/Oポートを備えるマイクロプロセッサを選定しなくてもいいといったマイクロプロセッサの制約が排除される。従って、マイクロプロセッサのコスト増を抑制することができる。また、バスの数が減るため、ノイズ発生源の減少、回路設計の容易化による設計コスト削減といった効果が得られる。

【0038】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0039】〔実施の形態1〕図1は、実施の形態1によるデジタル・アナログ共用チューナを機能的に説明するための機能ブロック図である。図1を参照して、デジ



タル・アナログ共用チューナ100は、RF信号入力端子1と、RF利得制御回路2と、混合回路3と、局部発振回路4と、PLL回路5とを備える。これらは、RF信号を入力してIF信号に変換する処理に関するものである。

【0040】また、デジタル・アナログ共用チューナ100は、IF信号をアナログ復調系統とデジタル復調系統に分配するIF信号分配回路11をさらに備える。

【0041】さらに、デジタル・アナログ共用チューナ100は、バンドパスフィルタ35と、IF-AGC回路12と、アナログ復調回路13と、AGC検波回路14とをさらに備える。これらの回路は、アナログ変調されているIF信号を復調する処理に関するものである。

【0042】また、さらに、デジタル・アナログ共用チューナ100は、バンドパスフィルタ36と、IF-AGC回路15と、A/Dコンバータ16と、デジタル復調回路17と、AGC検波回路18とをさらに備える。これらの回路は、デジタル変調されているIF信号を復調する処理に関するものである。

【0043】また、さらに、デジタル・アナログ共用チューナ100は、RF利得制御信号バス19、20をさらに備える。

【0044】また、さらに、デジタル・アナログ共用チューナ100は、RF利得制御信号切替回路21と、マイクロプロセッサ22と、バス23と、デコーダ25とをさらに備える。これらの回路群およびバスは、受信したRF信号の受信チャンネルおよび種類に応じて、デジタル・アナログ共用チューナ100の回路特性を切替える処理に関するものである。

【0045】また、さらに、デジタル・アナログ共用チューナ100は、RF利得制御信号バス19、20と、端子24、41~44と、バンドパスフィルタ31、32、35、36と、増幅回路37、38とをさらに備える。

【0046】RF信号入力端子1は、RF信号をデジタル・アナログ共用チューナ100に入力する端子である。

【0047】RF利得制御回路2は、後述するAGC検波回路14、18からRF利得制御信号バス19、20を介して受けるRF利得制御信号に基づいて、入力されたRF信号を所定の信号レベルに制御する回路である。

【0048】混合回路3、局部発振回路4およびPLL回路5は、RF信号をIF信号に周波数変換する回路である。混合回路3は、RF信号を局部発振回路4から出力される局部発振信号とミキシングしてIF信号に周波数変換する。局部発振回路4は、PLL回路5により制御されて局部発振信号を混合回路3へ出力し、また、出力した局部発振信号をPLL回路5へフィードバックする。PLL回路5は、後述するマイクロプロセッサ22において受信チャンネルに応じて設定され、マイクロ

プロセッサ22からバス23および端子24を介して受けた設定周波数に基づいて、局部発振回路4を制御する。

【0049】IF信号分配回路11は、IF信号をアナログ復調する系統とデジタル復調する系統とに分配する回路である。

【0050】IF-AGC回路12、アナログ復調回路13およびAGC検波回路14は、アナログ変調されているIF信号を復調するための回路である。IF-AGC回路12は、AGC検波回路14から受ける制御信号に基づいてIF信号を所定の信号レベルに制御する。アナログ復調回路13は、アナログ変調されているIF信号を復調する。AGC検波回路14は、アナログ復調回路13から復調されて出力されるアナログ信号の信号レベルを検出し、所定のレベルとなるようにIF-AGC回路12を制御する。また、AGC検波回路14は、検出した信号レベルに基づいて、RF利得制御回路2の利得を制御するためのRF利得制御信号をRF利得制御信号バス19へ出力する。

【0051】IF-AGC回路15、A/Dコンバータ16、デジタル復調回路17およびAGC検波回路18は、デジタル変調されているIF信号を復調するための回路である。IF-AGC回路15は、AGC検波回路18から受ける制御信号に基づいてIF信号を所定の信号レベルに制御する。A/Dコンバータ16は、アナログ信号であるIF信号をデジタル信号に変換する。デジタル復調回路17は、デジタル変調されているIF信号を復調する。AGC検波回路18は、デジタル復調回路17から復調されて出力されるデジタル信号の信号レベルを検出し、所定のレベルとなるようにIF-AGC回路15を制御する。また、AGC検波回路18は、検出した信号レベルに基づいてRF利得制御回路2の利得を制御するためのRF利得制御信号をRF利得制御信号バス20へ出力する。

【0052】RF利得制御信号切替回路21は、後述するデコーダ25から出力されるRF利得切替信号に基づいて、RF利得制御信号バス19およびRF利得制御信号バス20のいずれかの信号を選択してRF利得制御回路2へ出力する。すなわち、受信したRF信号がアナログ復調されるときは、RF利得制御信号切替回路21は、RF利得制御信号バス19の信号をRF利得制御回路2へ出力し、デジタル復調されるときは、RF利得制御信号切替回路21は、RF利得制御信号バス20の信号をRF利得制御回路2へ出力する。

【0053】マイクロプロセッサ22は、受信チャンネルに応じて、デジタル信号処理およびアナログ信号処理の切替え並びにRF信号をIF信号に変換するための周波数を設定する。マイクロプロセッサ22は、受信チャンネルに基づいてアナログ放送であるかデジタル放送であるかを判断し、RF利得切替回路21に信号切替を行なうためのRF利得切替信号を出力する。また、マイク

ロプロセッサ22は、受信したRF信号を所定のIF信号に周波数変換するために、受信チャンネルに応じてPLL回路5に設定するPLL周波数設定データを出力する。

【0054】そして、実施の形態1によるデジタル・アナログ共用チューナ100においては、RF利得切替信号およびPLL周波数設定データは、マイクロプロセッサ22から出力されるに際し、1つのデータに合成され、1つのI/Oポートからバス23へ出力される。

【0055】図2は、マイクロプロセッサ22からバス23へ出力される上述の合成データの構成を示す図である。図2を参照して、D0～Dnに示される部分にPLL回路5に設定されるPLL周波数設定データがセットされる。また、SW0またはSW1に示される部分にRF利得切替信号がセットされる。図示したデータ構成においては、スイッチ切替制御データ用にSW0とSW1の2ビットが配分されているが、この実施の形態1におけるデジタル・アナログ共用チューナ100のように、切替信号がRF利得切替信号の1つであれば、スイッチ切替制御データは1ビットで足りる。

【0056】再び図1を参照して、デコード25は、バス23および端子24を介して上述した合成データを受け、合成データをRF利得切替信号とPLL周波数設定データとに分離する。そして、デコード25は、RF利得切替信号をRF利得制御信号切替回路21へ出力し、PLL周波数設定データをPLL回路5へ出力する。

【0057】ここで、デコード25と、PLL回路5と、RF利得制御信号切替回路21とは、それぞれ近傍に配置される。これは、デコード25から出力される信号の信号線をできるだけ短くすることにより、この信号線が他の回路から受ける影響および他の回路に及ぼす影響をできるだけ抑えるためである。

【0058】バンドパスフィルタ31、32、35、36は、信号に重畳されたノイズ成分を排除するため、所定の帯域のみを通過させる信号フィルタである。

【0059】増幅回路37、38は、信号を所定量増幅して出力する。そして、実施の形態1によるデジタル・アナログ共用チューナ100においては、RF信号入力端子1から増幅回路38までの周波数変換に係る各回路と、アナログ信号を処理するその他の各回路とが筐体50に収納される。すなわち、周波数変換に係る各回路であるバンドパスフィルタ31、RF利得制御回路2、増幅回路37、混合回路3、局部発振回路4、PLL回路5、バンドパスフィルタ32および増幅回路38と、IF信号分配回路11と、アナログ復調系の回路であるバンドパスフィルタ35、IF-AGC回路12、アナログ復調回路13およびAGC検波回路14と、デジタル復調系においてアナログ信号を扱うバンドパスフィルタ36およびIF-AGC回路15と、RF利得制御信号バス19、20と、RF利得制御信号切替回路21と、

デコード25とが、筐体50に収納される。

【0060】筐体50は、電磁シールドにより、筐体外部の回路やバスから発せられるノイズの筐体内部への影響を遮蔽する。これにより、ノイズの影響を受けやすいアナログ処理系の各回路におけるS/N比が向上する。

【0061】デジタル・アナログ共用チューナ100においては、RF信号入力端子1に入力され、バンドパスフィルタ31により帯域フィルタリングされたRF信号は、RF利得制御回路2により所定の信号レベルに制御される。そして、RF信号は、増幅回路37により所定量増幅された後、混合回路3により、PLL回路5により制御されて局部発振回路4から出力された局部発振信号とミキシングされ、IF信号に変換される。その後、IF信号は、バンドパスフィルタ32により帯域フィルタリングされた後、増幅回路38により増幅される。

【0062】上述したように、RF信号をIF信号に周波数変換するためのPLL周波数設定データは、マイクロプロセッサ22からバス23に出力され、端子24から筐体50内部に取込まれてデコード25に取込まれる。そして、デコード25によりPLL周波数設定データが取出され、PLL回路5に設定される。

【0063】増幅回路38により増幅されたIF信号は、IF信号分配回路11により、アナログ復調処理を行なう系統とデジタル復調処理を行なう系統とに分配される。

【0064】アナログ放送が受信されているときは、IF信号は、バンドパスフィルタ35により帯域フィルタリングされ、IF-AGC回路12により所定の信号レベルに制御された後、アナログ復調回路13により復調される。ここで、AGC検波回路14は、適切にアナログ復調が行なわれるようにIF-AGC回路12の利得を制御する制御信号をIF-AGC回路12へ出力するとともに、RF信号の段階においても、RF利得制御回路2における利得を制御するためのRF利得制御信号をRF利得制御信号バス19へ出力する。

【0065】RF利得制御信号バス19に出力されたRF利得制御信号は、RF利得制御信号切替回路21を介してRF利得制御回路2へ出力される。ここで、RF利得制御信号切替回路21は、デコード25から受けるRF利得切替信号に基づいて、RF利得制御信号バス19、20の利得制御信号のいずれかを選択してRF利得制御回路2へ出力する。この時点でアナログ放送が受信されていることは、受信チャンネルによってマイクロプロセッサ22により判断されているので、マイクロプロセッサ22からRF利得制御信号バス19の選択を指示するRF利得切替信号が、PLL周波数設定データと合成されてバス23に出力される。そして、デコード25によりRF利得切替信号が分離取得されてRF利得制御信号切替回路21へ出力され、RF利得制御信号切替回路21は、RF利得制御信号バス19を選択してアナロ

グ復調系のAGC検波回路14から出力されたRF利得制御信号をRF利得制御回路2へ出力する。

【0066】一方、デジタル放送が受信されているときは、IF信号は、バンドパスフィルタ36により帯域フィルタリングされ、IF-AGC回路15により所定の信号レベルに制御された後、A/Dコンバータ16によりデジタル信号に変換され、デジタル復調回路17により復調される。ここで、AGC検波回路18は、適切にデジタル復調が行なわれるようにIF-AGC回路15の利得を制御する制御信号をIF-AGC回路15へ出力するとともに、RF信号の段階においても、RF利得制御回路2の利得を制御するためのRF利得制御信号をRF利得制御信号バス20へ出力する。

【0067】RF利得制御信号バス20に出力されたRF利得制御信号は、RF利得制御信号切替回路21を介してRF利得制御回路2へ出力される。ここで、この時点でデジタル放送が受信されていることは、受信チャンネルによってマイクロプロセッサ22により判断されているので、マイクロプロセッサ22からRF利得制御信号バス20の選択を指示するRF利得切替信号が、PLL周波数設定データと合成されてバス23に出力される。そして、デコーダ25によりRF利得切替信号が分離取得されてRF利得制御信号切替回路21へ出力され、RF利得制御信号切替回路21は、RF利得制御信号バス20を選択してデジタル復調系のAGC検波回路18から出力されたRF利得制御信号をRF利得制御回路2へ出力する。

【0068】なお、上述した説明では、デコーダ25と、PLL回路5と、RF利得制御信号切替回路21とは、それぞれ近傍に配置されるとしたが、これらは1つのIC(Integrated Circuit)上に構成されるようにしてもよい。これにより、上記各回路間の信号線を引き回す必要がなくなり、ノイズの影響を最小限に抑えることができる。

【0069】以上のように、実施の形態1によるデジタル・アナログ共用チューナ100によれば、ノイズに影響を受けやすいアナログ信号処理系の回路およびアナログ信号を伝送するバスを、デジタル信号処理系の回路およびデジタル信号を伝送するバスから電磁的に遮蔽したので、デジタル信号処理系の回路およびデジタル信号を伝送するバスから発せられるノイズによるアナログ信号処理系のS/N比の劣化を防止することができ、安定した受信特性を得ることができる。

【0070】また、実施の形態1によるデジタル・アナログ共用チューナ100によれば、マイクロプロセッサ22は、出力する信号およびデータを1つのデータに合成し、1つのバスを介して伝送するようにしたので、マイクロプロセッサ22は、I/Oポートを1つ備えていれば足り、複数のI/Oポートを備えるマイクロプロセッサを選定しなければならないといったマイクロプロセ

ッサの制約が排除される。従って、マイクロプロセッサのコスト増を抑制することができる。また、バスの数が減るため、ノイズ発生源の減少、回路設計の容易化による設計コスト削減といった効果が得られる。

【0071】[実施の形態2]図3を参照して、実施の形態2によるデジタル・アナログ共用チューナ101は、実施の形態1によるデジタル・アナログ共用チューナ100におけるIF信号分配回路11およびデコーダ25に代えて、IF信号切替回路11Aおよびデコーダ25Aを備える。

【0072】IF信号切替回路11Aは、IF信号の伝送先を切替えるためのIF切替信号をデコーダ25Aから受け、IF信号をアナログ復調処理を行なう系統に伝送するかデジタル復調処理を行なう系統に伝送するかを切替える回路である。

【0073】デコーダ25Aは、バス23および端子24を介して、RF利得切替信号、PLL周波数設定データおよびIF切替信号が合成された合成データを受け、それぞれの信号およびデータに分離する。そして、デコーダ25Aは、RF利得切替信号をRF利得制御信号切替回路21へ出力し、PLL周波数設定データをPLL回路5へ出力するとともに、IF切替信号をIF信号切替回路11Aへ出力する。

【0074】ここで、実施の形態1と同様に、デコーダ25Aと、PLL回路5と、RF利得制御信号切替回路21とは、相互に近傍に配置される。

【0075】IF切替信号は、マイクロプロセッサ22により設定される。マイクロプロセッサ22は、受信チャンネルに基づいてアナログ放送であるかデジタル放送であるかを判断し、受信しているRF信号の種類に応じてIF信号切替回路11AにおいてIF信号の伝送先を切替えるためのIF切替信号を出力する。

【0076】そして、実施の形態2によるデジタル・アナログ共用チューナ101においては、IF切替信号は、マイクロプロセッサ22から出力されるにあたり、RF利得切替信号およびPLL周波数設定データとともに1つのデータに合成され、1つのI/Oポートからバス23へ出力される。合成データは、図2において示したデータ構成をとり、IF切替信号は、少なくとも2ビット確保されたスイッチ切替制御データのいずれかのビットにセットされる。

【0077】デジタル・アナログ共用チューナ101においては、RF信号をIF信号に変換する周波数変換と、アナログ復調およびデジタル復調と、RF利得制御回路における利得の切替えとに関する回路および処理は、デジタル・アナログ共用チューナ100と同じである。

【0078】デジタル・アナログ共用チューナ101においては、アナログ放送が受信されているとき、マイクロプロセッサ22は、受信チャンネルに基づいて、RF

利得制御信号バス19の選択を指示するRF利得切替信号と、PLL周波数設定データと、IF信号のアナログ復調系統への伝送を指示するIF切替信号とを合成してバス23へ出力する。そして、デコード25Aにより分離取得されたIF切替信号は、IF切替回路11Aへ出力され、IF切替回路11Aは、IF切替信号に基づいてIF信号をアナログ復調系統へ出力する。

【0079】一方、デジタル放送が受信されているときは、マイクロプロセッサ22は、受信チャンネルに基づいて、RF利得制御信号バス20の選択を指示するRF利得切替信号と、PLL周波数設定データと、IF信号のデジタル復調系統への伝送を指示するIF切替信号とを合成してバス23へ出力する。そして、デコード25Aにより分離取得されたIF切替信号は、IF切替回路11Aへ出力され、IF切替回路11Aは、IF切替信号に基づいてIF信号をデジタル復調系統へ出力する。

【0080】なお、実施の形態1において説明したのと同様の理由で、デコード25Aと、PLL回路5と、RF利得制御信号切替回路21とは、1つのIC上に構成されるようにしてもよい。

【0081】以上のように、実施の形態2によるデジタル・アナログ共用チューナ101によれば、マイクロプロセッサ22は、出力する信号が追加されても、実施の形態1と同様に、出力する信号およびデータを1つのデータに合成し、1つのバスを介して伝送するようにしたので、マイクロプロセッサ22は、I/Oポートを1つ備えていれば足り、複数のI/Oポートを備えるマイクロプロセッサを選定しなければならないといったマイクロプロセッサの制約が排除される。従って、実施の形態1によるデジタル・アナログ共用チューナ100と同様に、マイクロプロセッサのコスト増の抑制、バス数抑制によるノイズ発生源の抑制、および設計コスト削減などの効果が得られる。

【0082】また、実施の形態2によるデジタル・アナログ共用チューナ101においても、実施の形態1と同様の電磁的な遮蔽がされているので、実施の形態1と同様のノイズ耐性が得られ、安定した受信特性が得られる。

【0083】〔実施の形態3〕実施の形態3によるデジタル・アナログ共用チューナは、実施の形態1によるデジタル・アナログ共用チューナ100をダブルコンバージョン方式にしたものである。

【0084】図4は、実施の形態3によるデジタル・アナログ共用チューナを機能的に説明するための機能ブロック図である。図4を参照して、デジタル・アナログ共用チューナ102は、実施の形態1によるデジタル・アナログ共用チューナ100における各回路に加えて、第2の周波数変換部である混合回路6、局部発振回路7およびPLL回路8と、バンドパスフィルタ33、34と、増幅回路39とをさらに備える。

【0085】また、デジタル・アナログ共用チューナ102は、実施の形態1によるデジタル・アナログ共用チューナ100におけるデコード25に代えて、デコード25Bを備える。

【0086】実施の形態3においては、RF信号入力端子1から入力されたRF信号は、受信チャンネルに応じてマイクロプロセッサ22から設定された第1のPLL周波数設定データに基づいて、第1の周波数変換部である混合回路3、局部発振回路4およびPLL回路5により、所望のIF信号よりも周波数の高い第1のIF信号に変換される。

【0087】混合回路6、局部発振回路7およびPLL回路8は、第1のIF信号を所望のIF信号に周波数変換する回路である。混合回路6は、第1のIF信号を局部発振回路7から出力される局部発振信号とミキシングして所望のIF信号に周波数変換する。局部発振回路7は、PLL回路8により制御されて局部発振信号を混合回路6へ出力し、また、出力した局部発振信号をPLL回路8へフィードバックする。PLL回路8は、受信チャンネルに応じてマイクロプロセッサ22から設定された第2のPLL周波数設定データに基づいて、局部発振回路7を制御する。

【0088】また、第2の周波数変換部である混合回路6、局部発振回路7およびPLL回路8は、第1の周波数変換部である混合回路3、局部発振回路4およびPLL回路5と同一基板上に備えられるが、両変換部は、互いに十分なアイソレーションが必要であり、基板上において適当な間隔をおいて配置される。

【0089】バンドパスフィルタ33、34は、信号に重畳されたノイズ成分を排除するため、所定の帯域のみを通過させる信号フィルタである。増幅回路39は、信号を所定量増幅して出力する。そして、第2の周波数変換部により周波数変換されたIF信号は、バンドパスフィルタ34により帯域フィルタリングされ、増幅回路39により所定量増幅されてIF信号分配回路11へ入力される。

【0090】デコード25Bは、RF利得切替信号および第1、2のPLL周波数設定データが合成された合成データをマイクロプロセッサ22からバス23および端子24を介して受け、合成データをそれぞれの信号およびデータに分離する。そして、デコード25Bは、RF利得切替信号をRF利得制御信号切替回路21へ出力し、第1のPLL周波数設定データをPLL回路5へ出力し、第2のPLL周波数設定データをPLL回路8へ出力する。

【0091】このように、本実施の形態においても、RF利得切替信号および第1、2のPLL周波数設定データは、マイクロプロセッサ22から出力されるにあたり、1つのデータに合成され、1つのI/Oポートからバス23へ出力される。

【0092】なお、図4に示されるデコーダ25Bは、RF利得制御信号切替回路21とともにPLL回路5の近傍に配置される。これまでに説明したように、デコーダ25BおよびRF利得制御信号切替回路21も、周波数変換部(PLL回路)の近傍に配置することが望ましい。一方、上述したように、ダブルコンバージョン方式では、第1の周波数変換部と第2の周波数変換部とは十分にアイソレーションを取る必要があるため、デジタル・アナログ共用チューナ102においては、デコーダ25BおよびRF利得制御信号切替回路21は、第1の周波数変換部におけるPLL回路5の近傍に配置されている。

【0093】一方、図5に示すデジタル・アナログ共用チューナ102Aは、デコーダ25BおよびRF利得制御信号切替回路21が第2の周波数変換部におけるPLL回路8の近傍に配置されたものである。デコーダ25BをPLL回路5、8のいずれの近傍に配置すべきかは、その他の回路やバスの配置も含めて、アイソレーションを十分に取ることができるかどうかで判断される。

【0094】再び図4を参照して、デジタル・アナログ共用チューナ102においては、アナログ復調およびデジタル復調と、RF利得制御回路の利得の切替えに関する回路および処理は、デジタル・アナログ共用チューナ100と同じである。

【0095】デジタル・アナログ共用チューナ102においては、RF信号をIF信号に変換するのに2回の周波数変換が行なわれる。混合回路3、局部発振回路4およびPLL回路5による第1の周波数変換部においては、RF信号は、マイクロプロセッサ22により設定される第1のPLL周波数設定データに基づいて、所望のIF周波数よりも高い第1のIF信号にアップコンバートされる。混合回路6、局部発振回路7およびPLL回路8による第2の周波数変換部においては、第1のIF信号は、マイクロプロセッサ22により設定される第2のPLL周波数設定データに基づいて、所望のIF信号にダウンコンバートされる。

【0096】マイクロプロセッサ22は、受信チャンネルに基づいて、RF利得制御信号バス19、20のいずれかの選択を指示するRF利得切替信号と、第1、2のPLL周波数設定データとを合成してバス23へ出力する。そして、デコーダ25Bにより分離取得された第1のPLL周波数設定データは、PLL回路5へ出力され、第2のPLL周波数設定データは、PLL回路8へ出力される。

【0097】なお、実施の形態1において説明したのと同様に、デコーダ25Bと、PLL回路5と、RF利得制御信号切替回路21とは、1つのIC上に構成されるようにしてもよい。また、図5に示されるデジタル・アナログ共用チューナ102Aにおいては、デコーダ25Bと、PLL回路8と、RF利得制御信号切替回路21

とが、1つのIC上に構成されるようにしてもよい。理由は、実施の形態1において説明したとおりである。

【0098】以上のように、実施の形態3によるデジタル・アナログ共用チューナ102、102Aによれば、ダブルコンバージョン方式においても、ノイズの影響を受けやすいアナログ信号処理系の回路およびアナログ信号を伝送するバスを、デジタル信号処理系の回路およびデジタル信号を伝送するバスから電磁的に遮蔽し、かつ、筐体50内においても、第1、2の周波数変換部の間のアイソレーションを十分にとるとともにデコーダ25BをPLL回路5、8のいずれかの近傍に配置したので、アナログ信号処理系のノイズ耐性が向上し、安定した受信特性を得ることができる。

【0099】[実施の形態4] 実施の形態4においては、実施の形態3によるダブルコンバージョン方式のデジタル・アナログ共用チューナ102Aにおいて、IF信号分配回路11に代えてIF信号切替回路11Aが備えられる。

【0100】図6は、実施の形態4によるデジタル・アナログ共用チューナを機能的に説明するための機能ブロック図である。図6を参照して、デジタル・アナログ共用チューナ103は、実施の形態3によるデジタル・アナログ共用チューナ102AにおけるIF信号分配回路11およびデコーダ25Bに代えて、IF信号切替回路11Aおよびデコーダ25Cを備える。

【0101】IF信号切替回路11Aは、実施の形態2において説明した回路と同じである。

【0102】デコーダ25Cは、RF利得切替信号、第1、2のPLL周波数設定データおよびIF切替信号の4つの信号およびデータが合成された合成データをバス23および端子24を介して受け、それぞれの信号およびデータに分離する。そして、デコーダ25Cは、RF利得切替信号をRF利得制御信号切替回路21へ出力し、第1、2のPLL周波数設定データをそれぞれPLL回路5、8へ出力するとともに、IF切替信号をIF信号切替回路11Aへ出力する。

【0103】IF切替信号は、実施の形態2と同様にマイクロプロセッサ22により設定されるが、上述したように本実施の形態においても、IF切替信号は、マイクロプロセッサ22から出力されるにあたり、RF利得切替信号および第1、2のPLL周波数設定データとともに1つのデータに合成され、1つのI/Oポートからバス23へ出力される。

【0104】デジタル・アナログ共用チューナ103においては、RF信号をIF信号に変換する周波数変換と、アナログ復調およびデジタル復調と、RF利得制御回路の利得の切替えに関する回路および処理は、実施の形態3によるデジタル・アナログ共用チューナ102Aと同じである。

【0105】デジタル・アナログ共用チューナ103に

おいては、アナログ放送が受信されているとき、マイクロプロセッサ22は、受信チャンネルに基づいて、RF利得制御信号バス1,9の選択を指示するRF利得切替信号と、第1,2のPLL周波数設定データと、IF信号のアナログ復調処理を行なう系統への伝送を指示するIF切替信号との4つの信号およびデータを1つのデータに合成してバス23へ出力する。そして、その合成されたデータは、端子24を介してデコーダ25Cに取込まれ、デコーダ25Cにより分離取得されたIF切替信号は、IF切替回路11Aへ出力され、IF切替回路11Aは、IF切替信号に基づいてIF信号をアナログ復調処理を行なう系統へ出力する。

【0106】一方、デジタル放送が受信されているときは、マイクロプロセッサ22は、受信チャンネルに基づいて、RF利得制御信号バス20の選択を指示するRF利得切替信号と、第1,2のPLL周波数設定データと、IF信号のデジタル復調処理を行なう系統への伝送を指示するIF切替信号との4つの信号およびデータを1つのデータに合成してバス23へ出力する。そして、デコーダ25Cにおいてアナログ放送受信時と同様の処理がなされ、IF切替回路11Aは、デコーダ25Cから受けるIF切替信号に基づいて、IF信号をデジタル復調処理を行なう系統へ出力する。

【0107】なお、上述した各実施の形態において説明したのと同様に、デコーダ25Cと、PLL回路8と、RF利得制御信号切替回路21とは、1つのIC上に構成されるようにしてもよい。理由は、実施の形態1において説明したとおりである。

【0108】なお、デコーダ25CおよびRF利得制御信号切替回路21は、第1の周波数変換回路部に含まれるPLL回路5の近傍に配置されるようにしてもよい（図示せず）。デコーダ25CおよびRF利得制御信号切替回路21をPLL回路5,8のいずれの近傍に配置するかは、その他の回路やバスの配置も含めて、アイソレーションを十分に取ることができるかどうかで判断される。

【0109】また、これに対応して、デコーダ25Cと、PLL回路5と、RF利得制御信号切替回路21とが、1つのIC上に構成されるようにしてもよい。

【0110】以上のように、実施の形態5によるデジタル・アナログ共用チューナ103によれば、ダブルコンバージョン方式であり、かつ、IF信号切替回路11Aが備えられるようなチューナであって、マイクロプロセッサ22から出力される信号が相当数になっても、マイクロプロセッサ22は、出力する信号およびデータを1つのデータに合成し、1つのバス23を介して伝送するようにしたので、マイクロプロセッサ22は、I/Oポートを1つ備えていれば足り、複数のI/Oポートを備えるマイクロプロセッサを選定しなければならないといったマイクロプロセッサの制約が排除される。従って、

マイクロプロセッサのコスト増の抑制、バス数削減によるノイズ発生源の減少、回路設計の容易化による設計コスト削減といった効果が得られる。

【0111】また、実施の形態4によるデジタル・アナログ共用チューナ103においても、これまでの各実施の形態と同様に、電磁的な遮蔽がされているので、デジタル信号処理系の回路およびデジタル信号を伝送するバスから発せられるノイズによるアナログ信号処理系のS/N比の劣化を防止することができ、安定した受信特性が得られる。

【0112】[実施の形態5] 実施の形態5は、ダブルコンバージョン方式のデジタル・アナログ共用チューナであって、2つのPLL回路のそれぞれの近傍にデコーダが配置される。これにより、各回路間の信号線長をさらに短くすることができ、各信号線と各回路との間のノイズの相互影響をさらに抑えることができる。

【0113】図7は、実施の形態5によるデジタル・アナログ共用チューナを機能的に説明するための機能ブロック図である。図7を参照して、デジタル・アナログ共用チューナ104は、実施の形態4によるデジタル・アナログ共用チューナ103において、デコーダ25Cに代えてデコーダ25Dを備え、また、デコーダ25Eをさらに備える。

【0114】デコーダ25Dは、PLL回路8の近傍に配置され、RF利得切替信号、第1,2のPLL周波数設定データおよびIF切替信号の4つの信号およびデータが合成された合成データをバス23および端子24を介して受け、第2のPLL周波数設定データおよびIF切替信号を分離取得する。そして、デコーダ25Dは、第2のPLL周波数設定データをPLL回路8へ出力し、IF切替信号をIF信号切替回路11Aへ出力する。

【0115】デコーダ25Eは、RF利得制御信号切替回路21とともにPLL回路5の近傍に配置され、RF利得切替信号、第1,2のPLL周波数設定データおよびIF切替信号の4つの信号およびデータが合成された合成データをバス23および端子24を介して受け、第1のPLL周波数設定データおよびRF利得切替信号を分離取得する。そして、デコーダ25Eは、第1のPLL周波数設定データをPLL回路5へ出力し、RF利得切替信号をRF利得制御信号切替回路21へ出力する。

【0116】RF利得切替信号、第1,2のPLL周波数設定データおよびIF切替信号の4つの信号およびデータが1つのデータに合成されてマイクロプロセッサ22から1つのバス23へ出力されることについては、実施の形態4において説明したのと同様である。

【0117】また、受信チャンネルに応じてアナログ放送/デジタル放送のいずれが受信されているかがマイクロプロセッサ22により判断され、マイクロプロセッサ22により設定されるRF利得切替信号およびIF切替

信号に基づいて、RF利得制御信号切替回路21およびIF切替回路11Aが切替えられることについても、実施の形態4において説明したとおりである。

【0118】なお、デコーダ25DとPLL回路8とは、1つのIC上に構成されるようにしてもよく、また、デコーダ25EとPLL回路5とRF利得制御信号切替回路21とは、1つのIC上に構成されるようにしてもよい。理由は、実施の形態1において説明したとおりである。

【0119】以上のように、実施の形態5によるデジタル・アナログ共用チューナ104によれば、マイクロプロセッサ22は、出力する信号およびデータを1つのデータに合成して出力し、その合成データを入力して分離出力するデコーダは2つ備えられ、それらのデコーダ25D、25Eは、基板上における信号線の引き回しが最小限に抑えられるように配置されるので、各信号線と各回路との間におけるノイズの相互影響を最小限に抑えることができ、ノイズ耐性がさらに優れ、さらに安定した受信特性が得られる。

【0120】今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるデジタル・アナログ共用チューナを機能的に説明する機能ブロック図である。

【図2】 図1に示すデジタル・アナログ共用チューナにおけるマイクロプロセッサからバスへ出力されるデータの構成を示す図である。

【図3】 この発明の実施の形態2によるデジタル・アナログ共用チューナを機能的に説明する機能ブロック図

である。

【図4】 この発明の実施の形態3によるデジタル・アナログ共用チューナを機能的に説明する機能ブロック図である。

【図5】 図4に示すデジタル・アナログ共用チューナの変形例を説明するための機能ブロック図である。

【図6】 この発明の実施の形態4によるデジタル・アナログ共用チューナを機能的に説明する機能ブロック図である。

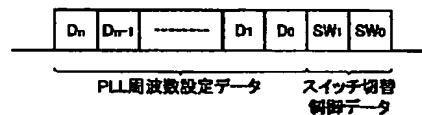
【図7】 この発明の実施の形態5によるデジタル・アナログ共用チューナを機能的に説明する機能ブロック図である。

【図8】 従来のデジタル・アナログ共用チューナを機能的に説明する機能ブロック図である。

#### 【符号の説明】

1, 201 RF信号入力端子、2, 202 RF利得制御回路、3, 6, 203, 206 混合回路、4, 7, 204, 207 局部発振回路、5, 8, 205, 208 PLL回路、11, 211 IF信号分配回路、11A IF信号切替回路、12, 15, 212, 215 IF-AGC回路、13, 213アナログ復調回路、14, 18, 214, 218 AGC検波回路、16, 216 A/Dコンバータ、17, 217 デジタル復調回路、19, 20, 219, 220 RF利得制御信号バス、21, 221 RF利得制御信号切替回路、22, 222 マイクロプロセッサ、23 バス、24, 41~44, 225, 226 端子、25, 25A~25E デコーダ、31~36, 231~236 バンドパスフィルタ、37~39, 237~239 増幅回路、50, 250 筐体、100~104, 102A, 200 デジタル・アナログ共用チューナ、209 IF信号出力端子、223 PLL設定バス、224 RF利得切替信号バス。

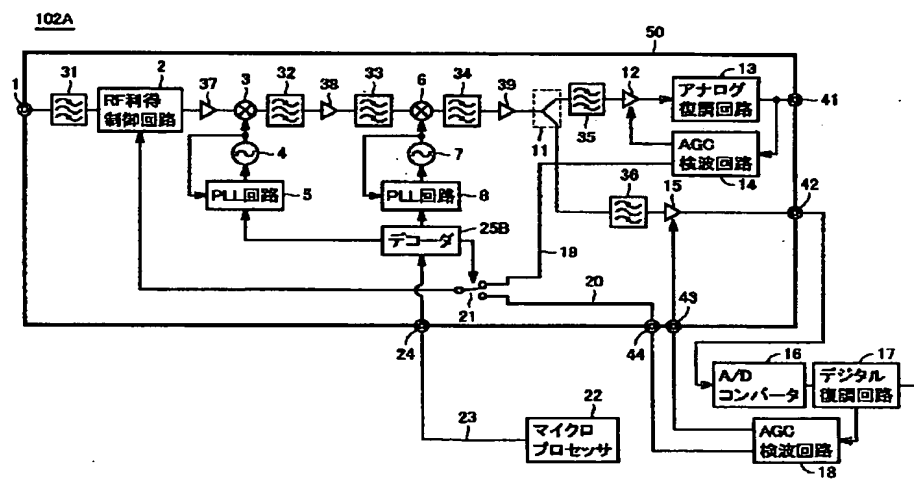
【図2】



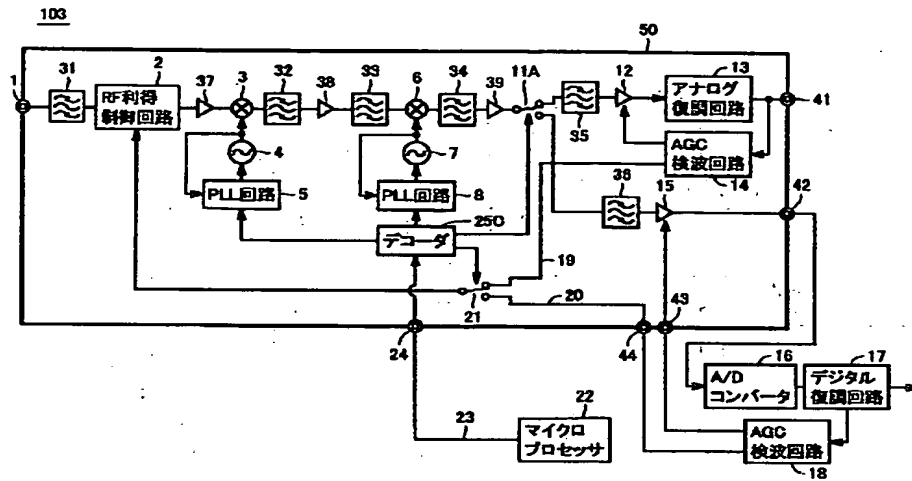




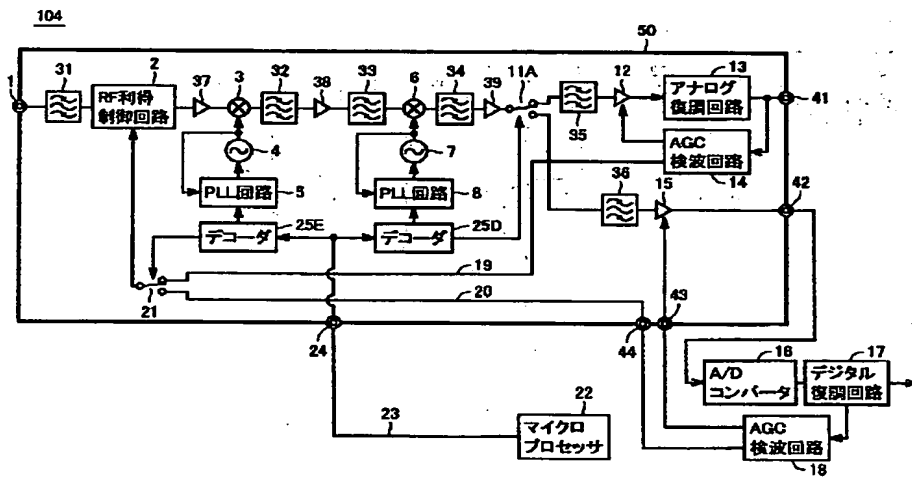
【 図5 】



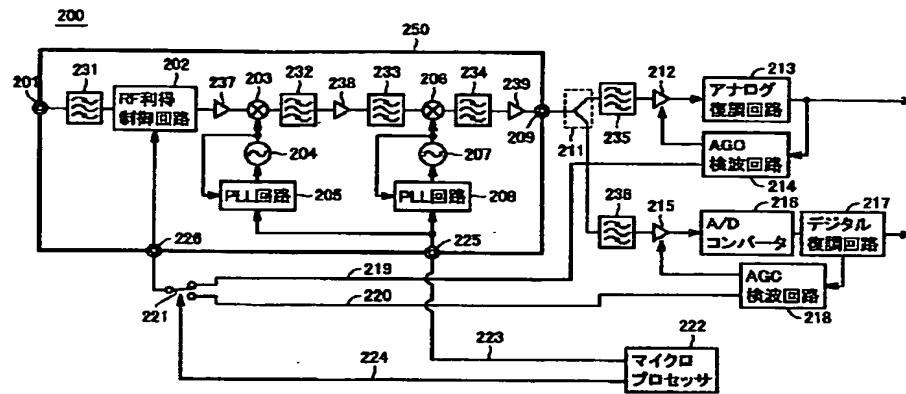
【図6】



【図7】



【図8】



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**